

用于生物医学成像的多通道流水线数字化电路设计

卢双第, 高德远, 魏廷存, 高 武, 曾蕙明, 高 原

(西北工业大学 计算机学院, 陕西 西安 710072)

摘 要: 针对生物医学成像中前端读出电路多通道以及要求高速数字化的特点, 设计了一个 16 通道的流水线数字化电路. 整个电路由模拟多路选择器、单端转差分电路、8-bit 25 Ms/s 1.5 bit/stage 流水线 ADC 以及数据输出模块组成. 模数转换和数据输出在两相邻时间窗口内采用流水线方式进行. 电路采用 TSMC 0.18 μm mixed signal CMOS 工艺实现. 电路仿真结果表明, 流水线 ADC 的 DNL 为 $-0.62/0.67$ LSB, INL 为 $-0.39/0.72$ LSB, SNR 为 45.99 dB, ENOB 为 6.03 bit, 该电路能够在两个相邻时间窗口内完成 16 通道的信号数字化并输出, 满足系统设计要求.

关键词: 生物医学成像; 多通道; 流水线 ADC; 存储与输出策略

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2012)04-0026-06

Design of Multi-channel Pipeline Digitization Circuit for Biomedical Imaging

LU Shuang-di, GAO De-yuan, WEI Ting-cun, GAO Wu,
ZENG Hui-ming, GAO Yuan

(School of Computer, Northwestern Polytechnical University, Xi'an 710072, China)

Abstract: Based on the multi-channel and high-speed digitization features of front-end readout circuits for biomedical imaging, a 16-channel pipeline digitization circuits is designed. The whole circuits consist of analog multiplexer, single end to differential signal conversion circuit, 8-bit 25-Msample/s pipeline ADC, and data output module. Analog-to-digital conversion and data output will be executed in the pipeline way. The circuit is designed in TSMC 0.18 μm mixed signal CMOS technology. Simulation results show that, pipeline ADC has $-0.62/0.67$ LSB DNL, $-0.39/0.72$ LSB INL, 45.99 dB SNR, and 6.03 bit ENOB. The designed circuits can accomplish the digitization and output of 16-channel analog signals within two adjacent timing windows, satisfying the performance requirements of the system.

Key words: biomedical imaging, multi-channel, pipeline ADC, storage and output strategy

1 引言

多通道辐射成像探测器已广泛应用于生物医学成像系统中, 探测器的输出信号经过多通道的前端模拟读出电路处理, 然后被数据采集系统数字化后进行图像重建^[1]. 模数转换器 (Analog-to-digital Converter, ADC) 将前端读出电路输出的模拟信号转换为数字信号, 是数据采集系统的关键模块,

ADC 的性能直接决定了生物医学成像的质量.

在多通道前端电子系统中, 一般有三种方案实现信号由模拟到数字的转换. 首先, 使用多个并行的 ADC 后接一个数字多路选择器的结构^[2]. 这种方法中, 采用低速或中速的 ADC 如逐次逼近型 (SAR) ADC 就能满足要求, 但是由于每个通道配置一个 ADC, 将占用很大的面积, 而且消耗较大的功耗. 其次, 采用多通道的 ADC 结构^[3]. 常见的结构如斜坡

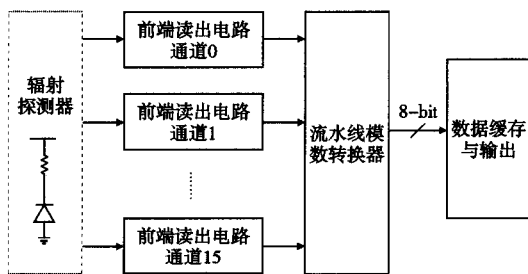
收稿日期: 2011-07-08; 修回日期: 2011-09-16

基金项目: 国家自然科学基金(60972157); 国家自然科学基金青年科学基金(61101190); 西北工业大学研究生创业种子基金(Z2011120)

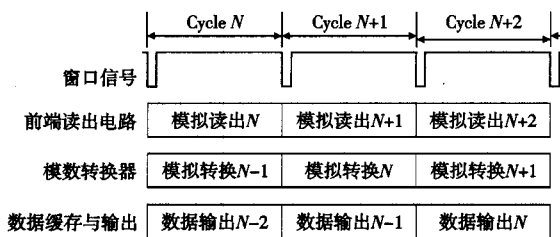
(Ramp)ADC,但是这种结构对比较器的精度要求很高,而且需要高频采样时钟,另外通道之间也存在串扰的影响.第三种方案是采用一个模拟多路选择器和一个高速ADC实现^[4].ADC可采用快闪式(Flash)或流水线式(Pipeline)结构.快闪式ADC因其消耗较大功耗而不适合高分辨率的情况.流水线ADC把整体上要求的转换精度平均分配到每一级,降低了对模拟电路精度的要求,同时流水线结构的转换速率几乎与级数无关,因此能够在速度、功耗和分辨率方面获得最优的折衷^[5-7].基于以上分析,本文采用模拟多路选择器+流水线ADC结构,实现多通道前端电子系统中模拟到数字的高速转换.

2 设计与分析

根据生物医学成像前端电子系统的结构及信号处理的要求,本文提出了多通道流水线结构的前端电子系统.图1所示为多通道前端电子系统的结构及信号处理时序.如图1(a)所示,探测器模组通过光电转换产生16通道的微弱电荷信号,经过前端读出电路的放大及整形,在一个时间窗口(5.12 μ s)内产生稳定的电压输出.模数转换器在一个时间窗口内完成16通道的模拟到数字的转换.图1(b)所示为前端电子系统的信号处理时序,探测器信号的模拟读出、模数转换、数据输出分别在三个相邻的时间窗口内依次流水式完成,有效降低了对电路速度的要求,提高了系统处理效率.



(a) 系统结构框图



(b) 信号处理时序

图1 多通道前端电子系统

基于以上分析,本文提出的多通道流水线ADC结构如图2所示。 $V_{in}<0>$ 、 $V_{in}<1>$ 、 $\dots$ 、 $V_{in}<15>$ 为16个通道的模拟读出信号,经过输入处理电路后分别得到一对差分模拟信号 V_{in+} 、 V_{in-} .流水线ADC完成模拟到数字的转换,输出8-bit数字信号 $D_{in}<7:0>$.输出处理模块缓存该数据,并在下一个时间窗口内输出.输入处理电路完成16个通道的模拟信号的多路选择,并将其转换成差分信号.流水线ADC采用8-bit 25 Ms/s 每级1.5 bit的Pipeline ADC结构,实现模拟信号到数字信号的转换.输出处理电路处理并缓存当前时间窗口的数字数据,并在下一个时间窗口输出.时序控制模块完成整个模数转换系统的时序控制,产生16路信号选择的开关信号、流水线ADC的时钟信号以及用于数据存储并输出的控制信号.

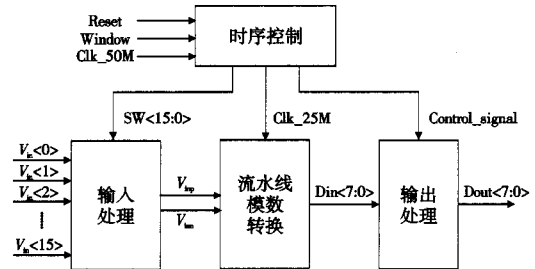


图2 多通道流水线ADC的结构

多通道模数转换器的工作时序如图3所示。 t_w ($=5.12 \mu$ s)为一个时间窗口; t_{c0} ($=0.2 \mu$ s)为通道0转换时间; t_{c15} ($=0.2 \mu$ s)为通道15转换时间; t_c ($=0.8 \mu$ s)为16个通道总的转换时间; t_s ($=0.64 \mu$ s)为转换后数据存储的时间; t_o ($=0.64 \mu$ s)为数据输出时间。 D_0 、 $D_1 \dots D_{15}$ 为当前窗口转换的数据; D_0' 、 $D_1' \dots D_{15}'$ 为上个时间窗口转换的数据,在当前窗口输出.

根据系统要求,一个时间窗口定义为5.12 μ s.外部输入时钟 Clk_{50M} 为50 MHz,系统内部时钟 Clk_{25M} 为25 MHz,它是将 Clk_{50M} 二分频后得到的.当窗口复位信号(Window)变为高电平后,电路开始工作, $SW<0>$ 产生40 ns的高脉冲,选通通道0的模拟信号,接着 $SW<1>$ 产生40 ns的高脉冲,选通通道1的模拟信号……每隔一个时钟周期(40 ns),一个模拟信号进入流水线ADC,当通道1的模拟信号转换完毕后,每隔一个时钟周期(40 ns)输出一路8-bit数据.数据串行进入寄存器 W_i ($i=0,1 \dots 15$),然后并行进入寄存器 R_i ($i=0,1, \dots, 15$),等待下个时间窗口输出.时间窗口复位结束后,

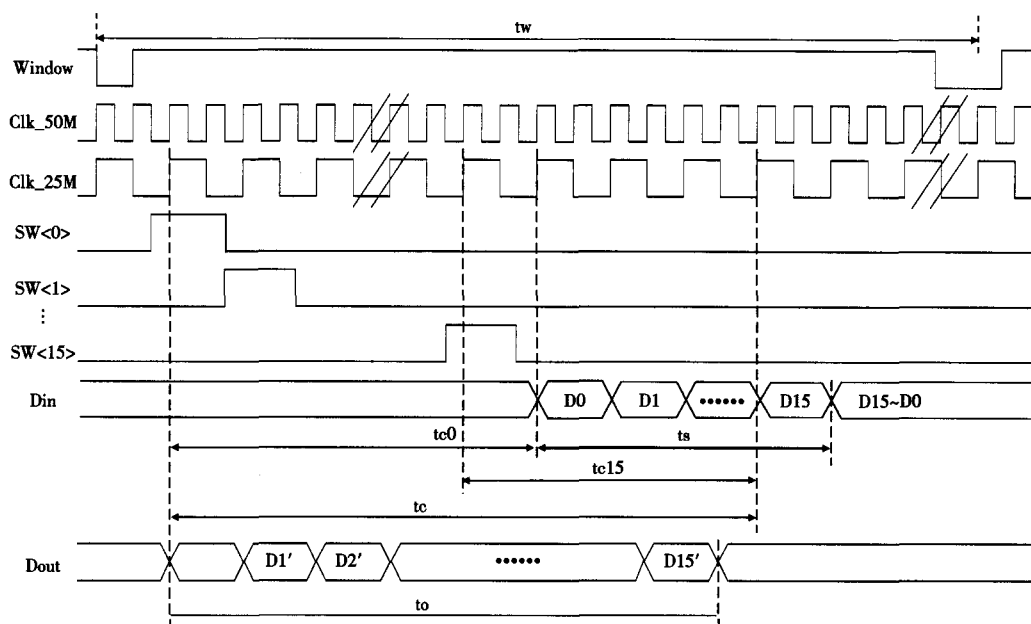


图3 多通道模数转换器的工作时序

在时钟 Clk_out(25 MHz)的控制下,寄存器 $R<0:15>$ 中存储的上个时间窗口转化得到的数据串行输出。

3 电路实现

3.1 输入处理电路

输入处理电路如图4所示。虚线左边为16通道模拟多路选择器电路,时序控制电路生成控制信号 $SW<15:0>$, $SW<15:0>$ 信号同一时刻只有一个为高电平。当 $SW< i >$ 为高电平时, $V_{in}< i >$ 通道的开关闭合,第 i 通道的模拟信号连接到模数转换电路,其余通道悬空。

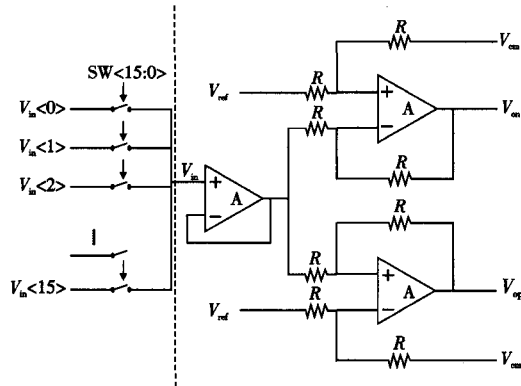


图4 输入处理电路

开关采用 CMOS 传输门实现,要求导通电阻小。在设计 CMOS 开关时要选择合理的 K 值,即满足 $(W/L)_p = K * (W/L)_n$,使得开关导通电阻在输入电压摆幅内变化最小。通过对 CMOS 传输门导通

电阻在不同尺寸时的仿真,确定当 $K=4.2$ 时,导通电阻变化最小。

图4中虚线右边电路实现模拟信号的单端转差分。假设运放具有足够的增益和带宽。根据负反馈原理可得

$$\frac{V_{op} + V_{ref}}{2} = \frac{V_{cm} + V_{in}}{2} \quad (1)$$

$$\frac{V_{on} + V_{in}}{2} = \frac{V_{cm} + V_{ref}}{2} \quad (2)$$

$$V_{op} = V_{cm} + (V_{in} - V_{ref}) \quad (3)$$

$$V_{on} = V_{cm} - (V_{in} - V_{ref}) \quad (4)$$

式中, V_{ref} 为单端信号 V_{in} 的直流偏置电压, V_{cm} 为差分信号 V_{op} 、 V_{on} 的直流偏置电压。从上式可以看出,图4电路不仅可以实现模拟信号的单端转差分功能,而且可以将信号电平从偏置电压 V_{ref} 转移到共模电压 V_{cm} ,这使得前端读出电路与 ADC 电路的设计彼此更加独立。

3.2 流水线转换电路

本文提出的数字化结构要求在一个时间窗口(即 $5.12 \mu s$)内实现 16 个通道的模数转换。根据系统对信号转换分辨率的要求,文中采用 8-bit 25Ms/s 的 pipeline ADC 结构。由图3可知,完成 16 通道的模数转换所需时间为 $0.8 \mu s$,考虑窗口复位所需时间,总的时间小于 $1 \mu s$,完全满足窗口大小的要求。另外,由于所需转换时间远远小于一个时间窗口,因此该结构可扩展到更多通道应用。

流水线模数转换器的电路结构如图5所示。

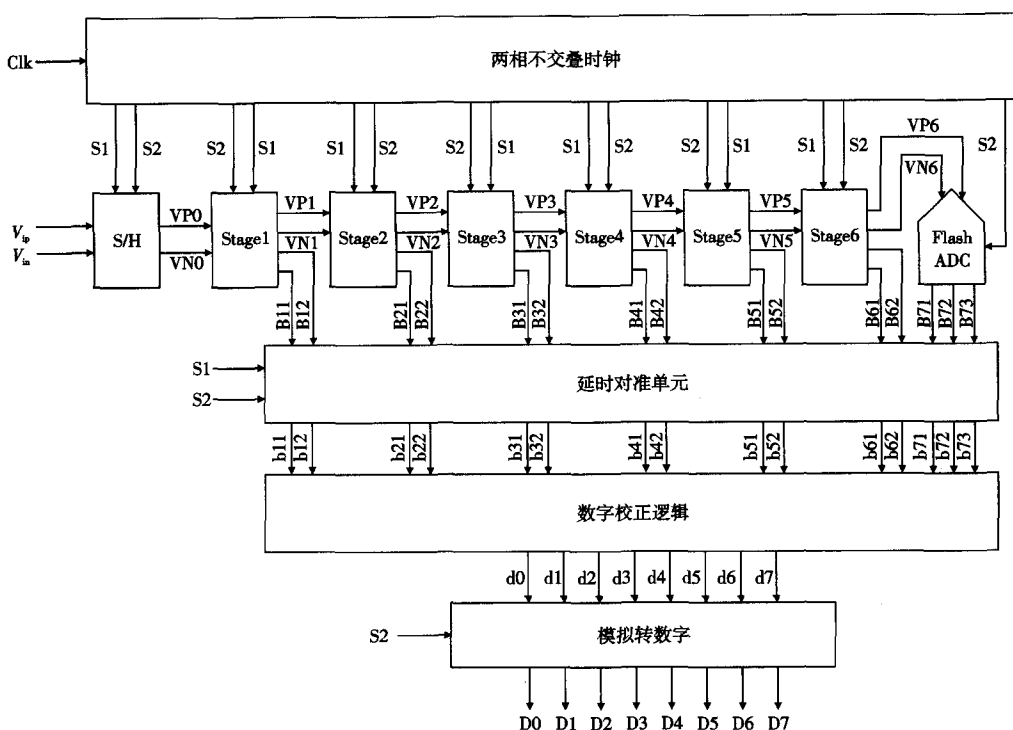


图5 流水线模数转换器

V_{ip} 、 V_{in} 为差分输入信号, Clk 为 25 MHz 采样时钟, S1、S2 为两相不交叠时钟, $D < 7:0$ 为转换后的最终数字输出。

在基于闭环运算放大器的开关电容电路实现中, 单级有效位数少使得电路的反馈因子较大, 并且流水级中运放的负载较小, 运放的增益与带宽要求减小, 可容忍的失调电压范围变大, 比较器精度要求降低。在文献[8]中提到, 对于分辨率小于 10 bit 的流水线模数转换器, 流水级一般采用较低的有效位数(小于 2~3 bit)。因此, 本文采用单级 1.5 bit 的流水线结构。

8-bit 25 Ms/s 的流水线模数转换电路对运放的增益和带宽要求不高, 同时差分结构可使信号摆幅增加一倍, 因此运放采用典型的全差分套筒式共源共栅结构。

由于比较器是在采样阶段结束后开始工作, 比较结果用于保持放大阶段, 因此需要一个高速比较器。本文比较器电路采用动态锁存比较器结构, 锁存控制信号为采样信号取反。通过 Hspice 仿真, 比较器完成比较所需时间约为 900 ps。

流水级电路输出的比较数据为温度计码格式, 传统的流水线模数转换电路在进行数字校正之前需要使用码制转换电路先将温度计码转换为二进制

码。本文的模数转换电路通过改变数字校正电路输入的顺序, 使得温度计码直接可以进行数字校正。

3.3 时序控制和输出处理电路

时序控制电路和输出处理电路遵循数字电路设计流程, 采用 Verilog-HDL 语言描述。

时序控制电路主要实现三个功能: (1) 产生控制 16 通道模拟开关的 SW 信号, 这可以通过具有 17 个状态的状态机实现; (2) 控制转换得到的数据存储, 由于 pipeline ADC 从开始转换到得到第一个数据所需时间是固定的, 并且一个时钟周期输出一个数据, 因此可以采用计数器产生控制信号; (3) 控制所存储数据的输出, 采用计数器产生控制信号。

输出处理电路主要实现两个功能: (1) 存储 pipeline ADC 转换后的 16 个通道的数据; (2) 在下一个时间窗口顺序输出 16 组的 8-bit 数据。本文采用的存储与输出策略如图 6 所示。当存储控制信号 en_w 有效, 在 clk_write 的上跳沿将转换后的数据 $Din < 7:0$ 串行写入寄存器 $W_0, W_1, \dots, W_{15}$, 然后通过 R_i 寄存器的 B 输入端并行写入寄存器 $R_0, R_1, \dots, R_{15}$ 。在下一个时间窗口, 寄存器 $W_0, W_1, \dots, W_{15}$ 又存储新的数据, 寄存器 $R_0, R_1, \dots, R_{15}$ 则在 clk_read 的上跳沿串行输出所存储的数据。

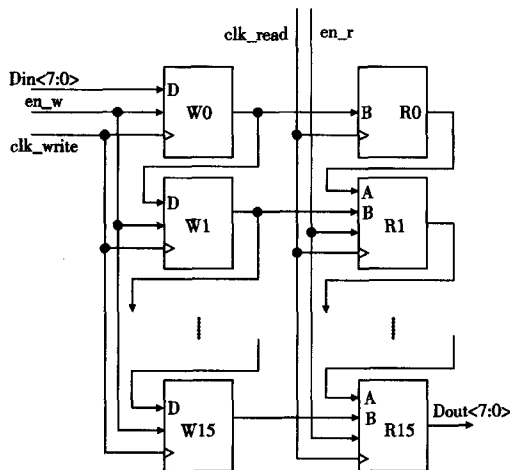


图6 数据存储与输出策略

4 仿真实验

本设计遵循数模混合电路“中间相遇”的 Top-down 设计方法,采用 TSMC 0.18 μm mixed signal CMOS 工艺,模拟部分(包括输入处理电路和流水线模数转换电路)的电源电压为 3.3 V,数字部分(包括时序控制和输出处理电路)的电源电压为 1.8 V,运用 SpectreVerilog 仿真工具,进行了全电路的仿真实验。仿真结果表明在第一个时间窗口复位结束后,16 通道的单端模拟信号依次通过模拟多路选择器→单端转差分→流水线模数转换器→存储与输出;在第二个时间窗口复位结束后顺序输出前一时间窗口存储的数字数据。同时,下一组 16 通道的单端模拟信号进行单端转差分、模数转换和存储。全电路仿真结果表明,本文设计方案完全可以满足特定时间窗口下 16 通道的模数转换。

16 通道的模拟多路选择及单端转差分处理如图 7 所示(以通道 0 和通道 1 为例)。SW<0>、SW<1>分别为通道 0 和通道 1 的开关控制信号;Vinput 为模拟多路选择器的输出; V_{ip} 、 V_{in} 为产生的差分信号,共模电压为 1.8 V;S1 为流水线模数转换器的采样信号,高电平有效。SW< i >提前采样信号 S1 半个时钟周期有效,当 S1 有效时,差分信号 V_{ip} 、 V_{in} 已达到稳定,从而保证正确的模数转换。

流水线模数转换器的性能仿真如图 8 所示(输入正弦信号频率为 1.037 5 MHz,幅度为 ± 0.5 V,采样频率为 25.6 MHz)。由仿真结果计算可得,DNL 为 $-0.62 \sim 0.67$ LSB,INL 为 $-0.39 \sim 0.72$ LSB,SNR 为 45.99 dB,SFDR 为 40.57 dB,ENOB 为 6.03 bit。

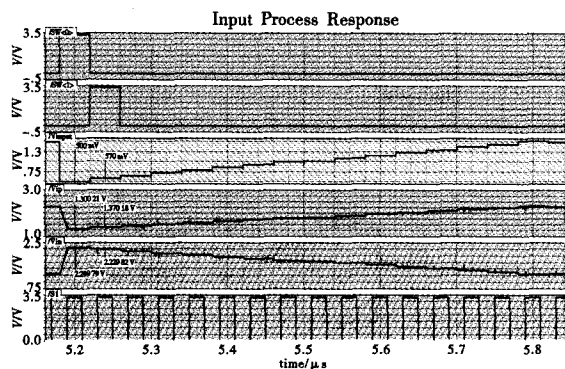
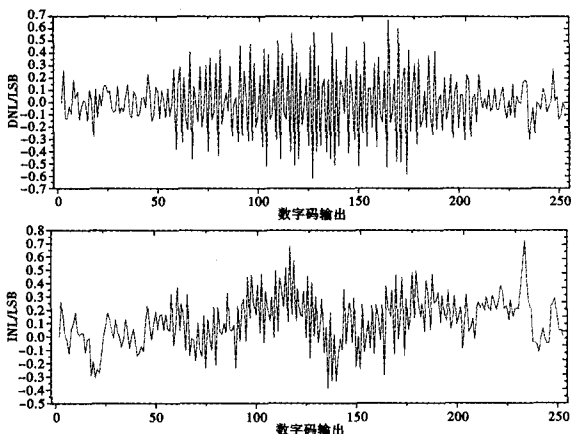
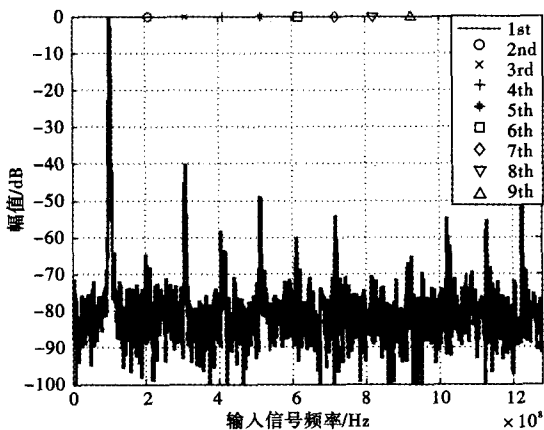


图7 输入处理电路仿真图



(a) 静态性能仿真



(b) 动态性能仿真

图8 模数转换器性能仿真

5 结束语

本文设计了一个应用于生物医学成像前端电子系统的多通道流水线数字化电路。在分析成像前端电子系统特点的基础上,提出了流水式的前端模拟信号处理、模数转换和数据输出结构,并完成了模拟多路选择、单端转差分、流水线模数转换、数据存储与输出等模块的电路实现和仿真。流水线模数转换

电路的性能满足 8-bit 25Ms/s 的性能要求,全电路仿真结果表明,本文设计的电路满足系统设计要求,并具有进一步扩展通道数的能力。

参考文献:

- [1] 高武. 正电子发射断层成像前端读出芯片设计技术研究[D]. 西安:西北工业大学, 2011.
- [2] Piotr Otfinowski. A 2.5MS/s 225 μ W 8-bit charge redistribution SAR ADC for multichannel applications [C]//Mixed Design of Integrated Circuits and Systems (MIXDES). Paland; Technical University of Lodz, 2010:182-185.
- [3] Wu Gao, Deyuan Gao, Tingcun Wei, et al. A 12-bit low-power multi-channel ramp ADC using digital DLL techniques for high-energy physics and biomedical imaging[C]//Solid-State and Integrated Circuit Technology (ICSICT). China; Shanghai, 2010: 227-229.
- [4] Kambiz Kaviani, Ömer Oralkan, Pierre Khuri-Yakub, et al. A multichannel pipeline analog-to-digital converter for an integrated 3-D ultrasound Imaging system [J]. IEEE Journal of Solid-State Circuits, 2003, 38 (7):1266-1270.
- [5] 张凯,周贵贤,刘焯. 12 位 100MS/s ADC 中采样/保持电路的分析与设计[J]. 微电子学与计算机, 2007, 24(11): 8-13.
- [6] Davor Petrinović. High efficiency multiplexing scheme for multi-channel A/D conversion[C]// Circuits and Systems, 1998 Midwest Symposium on. USA; San Diego, 1998: 534-537.
- [7] 栗成智,瞿小峰,隋文泉. 一种 0.18 μ m 数字工艺的 12 bit 100 MS/s 流水线型 ADC 设计[J]. 微电子学与计算机, 2010, 27(4): 591-595.
- [8] Mikael Gustavsson, Jacob Wikner J, Nianxiong Nick Tan. CMOS data converters for communications[M]. New York: Kluwer Academic Publishers, 2002.

作者简介:

卢双第 男, (1987—), 硕士研究生. 研究方向为模拟与混合集成电路设计.

(上接第 25 页)

参考文献:

- [1] 刘宝碇,赵瑞清. 随机规划与模糊规划[M]. 北京:清华大学出版社, 1998.
- [2] 肖宁,曾建潮,李卫斌. 基于 PSO 求解随机期望值模型的混合智能算法[J]. 计算机工程与应用, 2009, 45 (10): 45-48.
- [3] 王明春,唐万生. 基于 DNA 遗传算法的随机整数规划期望值模型求解[J]. 数学的事件与认识, 2009, 39(4): 121-126.
- [4] Storn R, Price K. Differential evolution-a simple and efficient adaptive scheme for global optimization over continuous spaces[R]. Berkldy, Technical Report International Computer Science Institute, 1995.
- [5] 赵昕,李剑. 应用于负荷经济分配的改进差分进化算法[J]. 微电子学与计算机, 2010, 27(2): 159-166.
- [6] 刘俊梅,马永刚. 非线性约束整数规划问题的改进差分进化算法[J]. 商洛学院学报, 2010, 24(6): 86-88.
- [7] 李灏,丁晓东. 用基于计算机随机模拟的下降法求解报童问题[J]. 微计算机信息, 2006, 22(3): 146-147.

作者简介:

孙 滢 女, (1982—), 硕士. 研究方向为最优化理论及应用、金融数学与金融工程.

高岳林 男, (1963—), 博士, 教授. 研究方向为最优化理论方法及应用、智能计算及应用、金融数学与金融工程.